

PCT/JP03/12789

日 本 国 特 許 庁
JAPAN PATENT OFFICE

06.10.03

REC'D 24 OCT 2003

WIPO PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2002年10月10日

出 願 番 号
Application Number: 特願2002-296982
[ST. 10/C]: [JP2002-296982]

出 願 人
Applicant(s): 日本電気株式会社

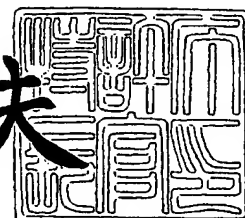
Best Available Copy

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 8月20日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3068009

【書類名】 特許願

【整理番号】 33409938

【提出日】 平成14年10月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/12

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 鈴木 康之

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100096253

 【住所又は居所】 東京都台東区東上野一丁目19番12号 偕楽ビル

 【弁理士】

 【氏名又は名称】 尾身 祐助

【手数料の表示】

 【予納台帳番号】 003399

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9002137

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 複数の集積回路が実装されており、その入力および出力インピーダンスが外部インピーダンスと整合されている半導体装置において、内部回路は外部インピーダンスより高いインピーダンスにおいて整合がとられていることを特徴とする半導体装置。

【請求項 2】 複数の集積回路が実装されており、その入力および出力インピーダンスが外部インピーダンスと整合されている半導体装置において、集積回路間を接続する内部伝送路の特性インピーダンスは外部インピーダンスより高いインピーダンスに設定されており、前記集積回路の前記内部伝送路に接続された回路の入・出力インピーダンスは前記内部伝送路の特性インピーダンスに整合されていることを特徴とする半導体装置。

【請求項 3】 実装基板と、該実装基板上に実装された複数の集積回路とを含む半導体装置において、その入力および出力インピーダンスが外部インピーダンスと整合されており、前記実装基板上に形成された集積回路間を接続する内部伝送路の特性インピーダンスは外部インピーダンスより高いインピーダンスに設定されており、前記集積回路の前記内部伝送路に接続された回路の入・出力インピーダンスは前記内部伝送路の特性インピーダンスに整合されていることを特徴とする半導体装置。

【請求項 4】 前記内部伝送路の前段に配置された集積回路の出力回路の負荷抵抗が前記内部伝送路とインピーダンス整合しており、前記内部伝送路の後段に配置された集積回路の入力回路の入力整合抵抗が前記内部伝送路とインピーダンス整合していることを特徴とする請求項 2 または 3 に記載の半導体装置。

【請求項 5】 前記出力回路が、差動回路を構成していることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記入力回路が、エミッタフォロワ回路またはソースフォロワ回路であって、前記入力整合抵抗が、エミッタフォロワ回路のベース・グランド若しくは電源間、または、ソースフォロワ回路のゲート・電源若しくはグランド

ド間、に接続されていることを特徴とする請求項4または5に記載の半導体装置。

【請求項7】 前記集積回路が、ECL回路を構成していることを特徴とする請求項1から6のいずれかに記載の半導体装置。

【請求項8】 前記集積回路が、ベアチップICであることを特徴とする請求項1から7のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、MCM(Multi Chip Module)等の複数の集積回路を含む半導体装置に関し、特に、外部回路とのインピーダンス整合がとられた高速で動作できる半導体装置に関するものである。

【0002】

【従来の技術】

近年、半導体装置における集積化がますます進んでいく一方、高速動作への要求もますます増えている。たとえば、光通信システムにおいては、伝送速度は著しく向上し、2.4ギガビット/秒(Gbps)および10Gbpsの伝送速度が実用化されており、伝送速度は今後ますます高くなることが予想される。

半導体装置の動作速度が高くなるにつれ、半導体集積回路内の配線や半導体集積回路と半導体集積回路をつなぐ伝送路において生ずる反射信号の存在が無視できなくなり、長い配線や長い伝送路を有する箇所ではインピーダンス整合の手法がとられている。

【0003】

図6に従来の半導体装置のモジュールの構成を示す。半導体装置21には、外部回路に接続された入出力用のコネクタ27が設けられており、コネクタ27の端子は実装基板28上に形成された入出力伝送路22に接続されている。実装基板28上には、入出力伝送路22に接続された入力側ICチップ24、出力側ICチップ26および中間ICチップ25が搭載されており、ICチップ間は、実装基板28上に形成された内部伝送路23により接続されている。ここで外部インピーダンスは通常50Ωであり、こ

れとインピーダンス整合を取るために、入出力伝送路22の特性インピーダンスは 50Ω に設定されるがこれと共に内部伝送路23の特性インピーダンスも 50Ω に設定される。そして高速動作するIC(24~26)の入出力のインピーダンスのインピーダンスも 50Ω に設定されている。

【0004】

バイポーラトランジスタを用いた集積回路装置の従来技術の具体例について、図7を用いて説明する。図7において、上段のA-A線部は下段のA-A線部に接続される。図7において、Q6、Q7、Q11~Q19、Q21~Q27、Q31、Q32、Q41~Q43はバイポーラトランジスタ、R7、R8、R11~R14、R21~R28、R31~R34は抵抗器、GNDはグラウンド線、VEEは電源線である。同図は、入力側ICチップ24の出力回路24bと中間ICチップ25の入力回路25aとの接続部の状態を示す。前段の入力側ICチップ24にはECL(Emitter Coupled Logic)基本回路を用いたフリップフロップ回路20が搭載されており、その出力回路24bが、後段に接続される中間ICチップ25の入力回路25aに、実装基板28上に形成された内部伝送路23を介して接続されている。フリップフロップ回路20には、フリップフロップ回路のコア部(図ではスレーブ回路のみ記載)と、出力回路24bをなす差動回路およびエミッタフォロワ回路からなる2段のバッファ回路で構成されており、後段に接続されるICチップの入力回路25aは、エミッタフォロワ回路で構成されている。実装基板28上の内部伝送路23の特性インピーダンスは、上述したように外部インピーダンスと同じ 50Ω である。また、前段の出力回路24bの最終段の負荷抵抗R31、R32には、実装基板28上の内部伝送路23とインピーダンス整合をとるために 50Ω に設定されており、後段の入力回路25aには、実装基板28上の内部伝送路23とインピーダンス整合をとるために 50Ω の抵抗R33、R34が接続されている。

以上のように、従来技術ではICチップの入・出力回路や実装基板上の伝送路ともに外部インピーダンスと同様に 50Ω のインピーダンスで整合されており、動作速度が高くなっても、信号の反射や損失が生じないように設計されている。

【0005】

【発明が解決しようとする課題】

上記のように従来の半導体装置では、ICチップの入・出力回路および実装基板

上の伝送路が外部インピーダンスと同様な 50Ω で整合されている。図7において、前段のフリップフロップ回路20の出力負荷は、終段の負荷抵抗 $R31$ ($R32$) の 50Ω と後段の入力回路25aの整合抵抗 $R33$ ($R34$) の 50Ω で、それらの抵抗がトランジスタ $Q41$ ($Q42$) に対し並列接続されていることにより 25Ω となる。ここで、前段のフリップフロップ回路20の出力駆動電流は、出力振幅を $0.5 V_{p-p}$ とすると 20mA の電流が必要となる。そのため、前段の出力回路24bの最終段のトランジスタ $Q41\sim Q43$ は、 20mA の電流を駆動できる大きなサイズである必要があり、またこの大きなサイズのトランジスタを高速で動作させるために2段のバッファ回路も必要となり、さらに出力トランジスタ ($Q41$ 、 $Q42$) を駆動するトランジスタ $Q31$ 、 $Q32$ も大きなサイズとする必要がある。図7に示す前段のフリップフロップ回路20は、フリップフロップのコア部は、 $2\mu\text{m}\times 5\mu\text{m}$ のエミッタサイズのトランジスタを用い 5mA 以下の駆動電流で構成されるが、出力部では 20mA が必要なため出力回路の最終段には $2\mu\text{m}\times 20\mu\text{m}$ のエミッタサイズのトランジスタ ($Q41\sim Q43$) が必要となる。また、出力回路の最終段の $2\mu\text{m}\times 20\mu\text{m}$ エミッタサイズのトランジスタを駆動するため、バッファ回路として差動回路とエミッタフォロワ回路からなる2段のバッファ回路が必要となり、また大エミッタサイズのトランジスタ ($Q41$ 、 $Q42$) を駆動するトランジスタ ($Q31$ 、 $Q32$) のエミッタサイズも $2\mu\text{m}\times 10\mu\text{m}$ と大きくする必要がある。そのため、消費電流の増加ばかりか、時には動作速度の低下も引き起こす。さらに、実装基板上に複数のICチップからなる半導体装置やMCMを形成する場合、各IC出力回路には 20mA 以上の消費電流が必要であり、全体では非常に高い消費電流となる。

【0006】

本発明の課題は、上述した従来技術の問題点を解決することであって、その目的は、動作速度が高くなっても信号の反射や損失が生じないように、ICチップの入力および出力と実装基板上の伝送路がインピーダンス整合され、かつICチップの出力駆動電流を低減できるようにして、高速かつ低消費電力の半導体装置を提供できるようにすることである。

【0007】

【課題を解決するための手段】

上記の目的を達成するため、本発明によれば、複数の集積回路が実装されており、その入力および出力インピーダンスが外部インピーダンスと整合されている半導体装置において、内部回路は外部インピーダンスより高いインピーダンスにおいて整合がとられていることを特徴とする半導体装置、が提供される。

【0008】

また、上記の目的を達成するため、本発明によれば、複数の集積回路が実装されており、その入力および出力インピーダンスが外部インピーダンスと整合されている半導体装置において、集積回路間を接続する内部伝送路の特性インピーダンスは外部インピーダンスより高いインピーダンスに設定されており、前記集積回路の前記内部伝送路に接続された回路の入・出力インピーダンスは前記内部伝送路の特性インピーダンスに整合されていることを特徴とする半導体装置、が提供される。

【0009】

また、上記の目的を達成するため、本発明によれば、実装基板と、該実装基板上に実装された複数の集積回路とを含む半導体装置において、その入力および出力インピーダンスが外部インピーダンスと整合されており、前記実装基板上に形成された集積回路間を接続する内部伝送路の特性インピーダンスは外部インピーダンスより高いインピーダンスに設定されており、前記集積回路の前記内部伝送路に接続された回路の入・出力インピーダンスは前記内部伝送路の特性インピーダンスに整合されていることを特徴とする半導体装置、が提供される。

【0010】

【発明の実施の形態】

図1(a)は、本発明による半導体装置の概略の構成を示すブロック図である。同図に示すように、本発明に係る半導体装置100には、外部伝送路101に接続される入出力伝送路102と半導体集積回路間を接続する内部伝送路103が設けられている。ここで、入出力伝送路102の特性インピーダンス Z は、外部伝送路101の特性インピーダンス Z ($=50\Omega$) と整合させるために 50Ω に設定されているが、内部伝送路103の特性インピーダンス Z は 50Ω より高く（例えば $Z=200\Omega$ ）設定されている。外部伝送路101との内部伝送路103との間には入力側集積回路104また

は出力側集積回路106が配置され、二つの内部伝送路103間には中間集積回路105が配置される。そして、各半導体集積回路の入・出力回路のインピーダンスはその入・出力回路が接続される伝送路の特性インピーダンスと整合するように設定される。すなわち、入力側集積回路104の入力回路104aの入力インピーダンスは50Ωに、その出力回路104bの出力インピーダンスは50Ωより高く設定され、中間集積回路105の入力回路105aの入力インピーダンスと出力回路105bの出力インピーダンスは50Ωより高く設定され、出力側集積回路106の入力回路106aの入力インピーダンスは50Ωより高く、その出力回路106bの出力インピーダンスは50Ωに設定されている。

【0011】

半導体装置100は、MCMなどのモジュール構成をとるものであってよい。各伝送路が形成され、各半導体集積回路が搭載される基板は、半導体基板、セラミックスなどからなる無機基板、ガラスエポキシ製などの樹脂基板等のいずれであってもよい。基板が半導体基板である場合には、その基板内にトランジスタなどの素子が形成されていてもよい。各伝送路はパッケージに直接形成され、各半導体集積回路はパッケージに直接搭載される形態であってもよい（基板がパッケージを兼用していてもよい）。

基板上には伝送路以外の配線パターンが形成されていてもよい。また、キャパシタやインダクタ等の受動素子や薄膜能動素子が形成されていてもよい。また、基板上には半導体集積回路以外の個別の能動素子や受動素子が搭載されていてもよい。集積回路104～106は、ベアチップのICであってもまたパッケージングされたICであってもよい。

【0012】

本発明に係る半導体装置100との対比のために従来の半導体装置を図1（b）に示す。図1（b）において、図1（a）の半導体装置と対応する部分には下2桁が共通する参照符号が付せられているので、重複する説明は省略するが、従来例においては、各伝送路の特性インピーダンスはすべて外部伝送路の特性インピーダンスの50Ωに設定され、各集積回路の入・出力回路の入・出力インピーダンスはすべて50Ωに設定されている。

【0013】

【実施例】

以下に本発明の実施例について図面を参照して詳細に説明する。

(第1の実施例)

図2は、本発明の第1の実施例の半導体装置の構成を示す斜視図である。図2において、図6に示した従来例の部分と対応する部分には下1桁が共通する参照符号が付けられているので、重複する説明は省略する。本実施例においては、コネクタ17を介して外部回路に接続される入出力伝送路12の特性インピーダンスは外部インピーダンスと同じ 50Ω に設計されているが、ICチップ間を接続する内部伝送路13の特性インピーダンスは外部インピーダンスより高い 200Ω に設計されている。そして、入力側ICチップ14の入力回路の入力インピーダンスおよび出力側ICチップ16の出力回路の出力インピーダンスは、入出力伝送路12の特性インピーダンスに整合する 50Ω に設計されているが、入力側ICチップ14の出力インピーダンスと出力側ICチップ16の入力インピーダンスおよび中間ICチップ15の入・出力インピーダンスは、外部インピーダンスより高い 200Ω に設定されている。すなわち、半導体装置11全体の入力回路を内蔵した入力側ICチップ14の入力インピーダンスは 50Ω で、その出力インピーダンスは 200Ω となり、半導体装置全体の出力回路を内蔵した出力側ICチップ16の入力インピーダンスは 200Ω で、出力インピーダンスは 50Ω となる。

【0014】

次に、図3を参照して、半導体装置内のICチップ間の接続状態について、入力側ICチップ14の出力回路14bと中間ICチップ15の入力回路15aとの接続部を例に挙げ、さらにバイポーラトランジスタを用いた集積回路を例に挙げて説明する。図3において、Q1～Q7はバイポーラトランジスタ、R1～R8は抵抗器、GNDはグラウンド線、VEEは電源線である。入力側ICチップ14の出力回路14bは、エミッタフォロア回路と差動回路から構成されており、最終段の負荷抵抗R3、R4は 200Ω に設定されている。後段に接続される中間ICチップ15の入力回路15aは、エミッタフォロワ回路で構成されており、その入力部には 200Ω の整合抵抗R5、R6が負荷されている。前段の入力側ICチップ14の出力回路14bと後段の中間ICチップ15の入

力回路15aは、実装基板18上に形成された 200Ω の特性インピーダンスを有する内部伝送路13を介して接続され、インピーダンス整合されている。前段の出力回路14bの出力負荷は、前段の負荷抵抗 R_3 、 R_4 の 200Ω と後段の入力回路15aの整合抵抗 R_5 、 R_6 の 200Ω で、 100Ω となる。前段の出力回路14bに必要な出力駆動電流は、出力振幅を $0.5 V_{p-p}$ とすると 5 mA の電流となり、消費電流の低減が可能となる。

【0015】

さらに、実装基板上に複数のICチップからなる半導体装置やMCMを形成する場合には、各IC出力回路には従来 20 mA の消費電流が必要であったのが $1/5$ に低減でき、全体では非常に低い消費電流となる。

なお、本実施例では、入力整合抵抗 R_5 、 R_6 がトランジスタ Q_6 、 Q_7 のベース・グランド線間に接続されているが、入力整合抵抗は回路方式によってはベース・電源線間に接続されることもありうる。

【0016】

(第2の実施例)

図4は、本発明の第2の実施例の半導体装置の部分回路構成を示す回路図である。第2の実施例の半導体装置の全体の構成は図2に示した第2の実施例のそれと同様であって、図4はその入力側ICチップ14と中間ICチップ15との接続部の状態を示す。図4において、 $Q_1\sim Q_7$ 、 $Q_{11}\sim Q_{19}$ はバイポーラトランジスタ、 $R_1\sim R_8$ 、 $R_{11}\sim R_{14}$ は抵抗器、GNDはグランド線、VEEは電源線である。前段の入力側ICチップ14にはECL基本回路を用いたフリップフロップ回路10が搭載されておりその出力回路14bと、後段の中間ICチップ15の入力回路15aが、実装基板18上に形成された内部伝送路13を介して接続されている。フリップフロップ回路10は、フリップフロップ回路のコア部(図ではスレーブ回路のみ記載)と、エミッタフォロア回路および差動回路からなる1段のバッファ回路で構成されており、最終段の負荷抵抗 R_3 、 R_4 は 200Ω に設定されている。後段に接続される中間ICチップ15の入力回路15aは、エミッタフォロア回路で構成されており、その入力部には 200Ω の整合抵抗 R_5 、 R_6 が負荷されている。前段のフリップフロップ回路10の出力回路14bと後段の中間ICチップ15の入力回路15aは、実装基板18上に形成された 200Ω の

特性インピーダンスを有する内部伝送路13を介して接続され、インピーダンス整合されている。前段のフリップフロップ回路10の出力負荷は、終段の負荷抵抗R3、R4の200Ωと後段の入力回路15aの整合抵抗R5、R6の200Ωで、100Ωとなる。前段のフリップフロップ回路10の出力回路に必要な出力駆動電流は、出力振幅を0.5 V_{p-p}とすると5 mAの電流となり、消費電流の低減が可能となる。従来では20mAの出力駆動電流が必要であったため、出力回路の最終段は、2μm×20μmのエミッタサイズの大きいトランジスタで構成していたが、本発明では5 mAの出力駆動電流の低下により、フリップフロップのコア部に用いるトランジスタと同じ2μm×5μmのエミッタサイズのトランジスタで構成できる。そのため、ICの構成上、従来ではサイズが大きいトランジスタの最終段を駆動する必要があり、差動回路やエミッタフォロワ回路からなる2段のバッファ回路が必要であった。しかし、本発明では、最終段のトランジスタサイズが小さいため1段のバッファ回路でよく、IC全体の消費電力の低減やバッファ回路を減らすことによりICをより高速に動作させることが可能となる。

【0017】

(第3の実施例)

図5は、本発明の第3の実施例の半導体装置の部分回路構成を示す回路図である。第3の実施例の半導体装置の全体の構成は図2に示した第2の実施例のそれと同様であって、図5はその入力側ICチップ14と中間ICチップ15との接続部の状態を示す。図5において、T1～T7は電界効果トランジスタ、R1～R8は抵抗器、VCは電源線、GNDはグランド線である。入力側ICチップ14の出力回路14bは、ソースフォロア回路と差動回路から構成されており、最終段の負荷抵抗R3、R4は200Ωに設定されている。後段に接続される中間ICチップ15の入力回路15aは、ソースフォロワ回路で構成されており、その入力部には200Ωの整合抵抗R5、R6が負荷されている。前段の入力側ICチップ14の出力回路14bと後段の中間ICチップ15の入力回路15aは、実装基板18上に形成された200Ωの特性インピーダンスを有する内部伝送路13を介して接続され、インピーダンス整合されている。前段の出力回路14bの出力負荷は、前段の負荷抵抗R3、R4の200Ωと後段の入力回路15aの整合抵抗R5、R6の200Ωで、100Ωとなる。

半導体集積回路が電界効果トランジスタによって構成された場合にも出力トランジスタの出力電流の低減とサイズの縮小が実現できる。

電界効果トランジスタ T1～T7はSi基板上に形成されたMOS型トランジスタであってもGaAs基板上に形成されたMES型トランジスタであってもよい。

また、本実施例では、入力整合抵抗R5、R6がトランジスタT6、T7のソースー電源線間に接続されているが、入力整合抵抗は回路方式によってはソースーグランド線間に接続されることもありうる。

【0018】

以上好ましい実施例について説明したが、本発明はこれら実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲内において適宜の変更が可能なものである。例えば前段ICの出力部にフリップフロップ回路を用いる例について説明したが、アンプなどの他の回路においても同様に本発明を適用することができる。

【0019】

【発明の効果】

以上説明したように、本発明は、MCM等の複数のICチップが実装された半導体装置において、その入・出力部の伝送路と入・出力回路は外部回路のインピーダンスに整合させ、その内部回路の伝送路の特性インピーダンスと入・出力回路のインピーダンスは外部回路のインピーダンスより高く設定するものであるので、以下の効果を享受することができる。

- ① 内部回路の出力回路の負荷インピーダンスが高くなるため、同じ出力電圧を得るために必要となる電流を低減することができ、さらに出力回路に必要となるバッファの段数を低減することができ、ICおよびそれが実装された半導体装置の消費電流を低減することができる。
- ② 出力トランジスタの電流を低減できるため、出力トランジスタのサイズを縮小することができ、さらに出力回路に必要となるバッファの段数を低減することができ、ICチップのチップサイズを縮小することができる。
- ③ 内部回路の出力回路のバッファの段数を低減することができるため、ICおよびそれが実装された半導体装置の動作速度を高速化することができる。

【図面の簡単な説明】

【図 1】 本発明と従来例との概略の構成を示すブロック図。

【図 2】 本発明の第 1 の実施例の斜視図。

【図 3】 本発明の第 1 の実施例の回路図。

【図 4】 本発明の第 2 の実施例の回路図。

【図 5】 本発明の第 3 の実施例の回路図。

【図 6】 従来例の斜視図。

【図 7】 従来例の回路図。

【符号の説明】

Q1～Q7、Q11～Q19、Q21～Q27…トランジスタ（ $2\mu\text{m}\times 5\mu\text{m}$ のエミッタサイズ）

Q31～Q32…トランジスタ（ $2\mu\text{m}\times 10\mu\text{m}$ のエミッタサイズ）

Q41～Q43…トランジスタ（ $2\mu\text{m}\times 20\mu\text{m}$ のエミッタサイズ）

R1～R8、R11～R14、R21～R28、R31～R34…抵抗体

GND…グランド線

VCC、VEE…電源線

10、20…前段のフリップフロップ回路

11、21…半導体装置

12、22…入出力伝送路

13、23…内部伝送路

14、24…入力側ICチップ

14b、24b…入力側ICチップの出力回路

15、25…中間ICチップ

15a、25a…中間ICチップの入力回路

16、26…出力側ICチップ

17、27…コネクタ

18、28…実装基板

100、200…半導体装置

101、201…外部伝送路

102、202…入出力伝送路

103、203…内部伝送路

104、204…入力側集積回路

104a、204a…入力側集積回路の入力回路

104b、204b…入力側集積回路の出力回路

105、205…中間集積回路

105a、205a…中間集積回路の入力回路

105b、205b…中間集積回路の出力回路

106、206…出力側集積回路

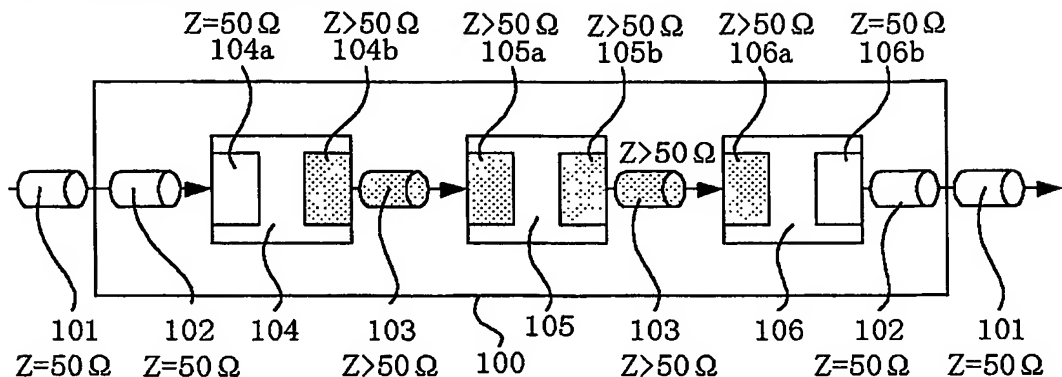
106a、206a…出力側集積回路の入力回路

106b、206b…出力側集積回路の出力回路

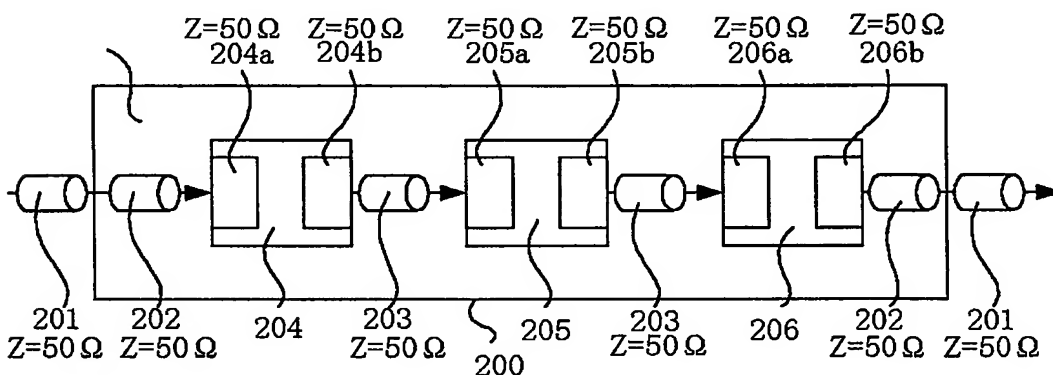
【書類名】 図面

【図 1】

(a) 本発明の概略構成図



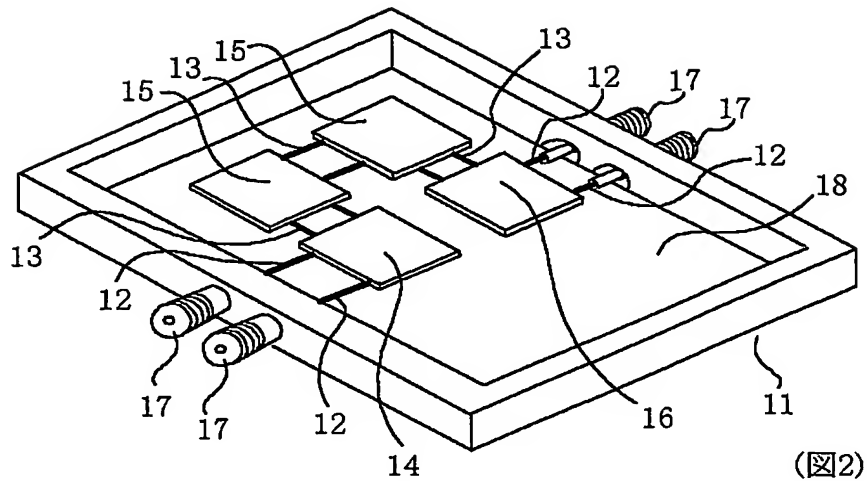
(b) 従来例



- | | |
|------------------------|------------------------|
| 100、200 半導体装置 | 106、206 出力側集積回路 |
| 101、201 外部伝送路 | 106a、206a 出力側集積回路の入力回路 |
| 102、202 入出力伝送路 | 106b、206b 出力側集積回路の出力回路 |
| 103、203 内部伝送路 | |
| 104、204 入力側集積回路 | |
| 104a、204a 入力側集積回路の入力回路 | |
| 104b、204b 入力側集積回路の出力回路 | |
| 105、205 中間集積回路 | |
| 105a、205a 中間集積回路の入力回路 | |
| 105b、205b 中間集積回路の出力回路 | |

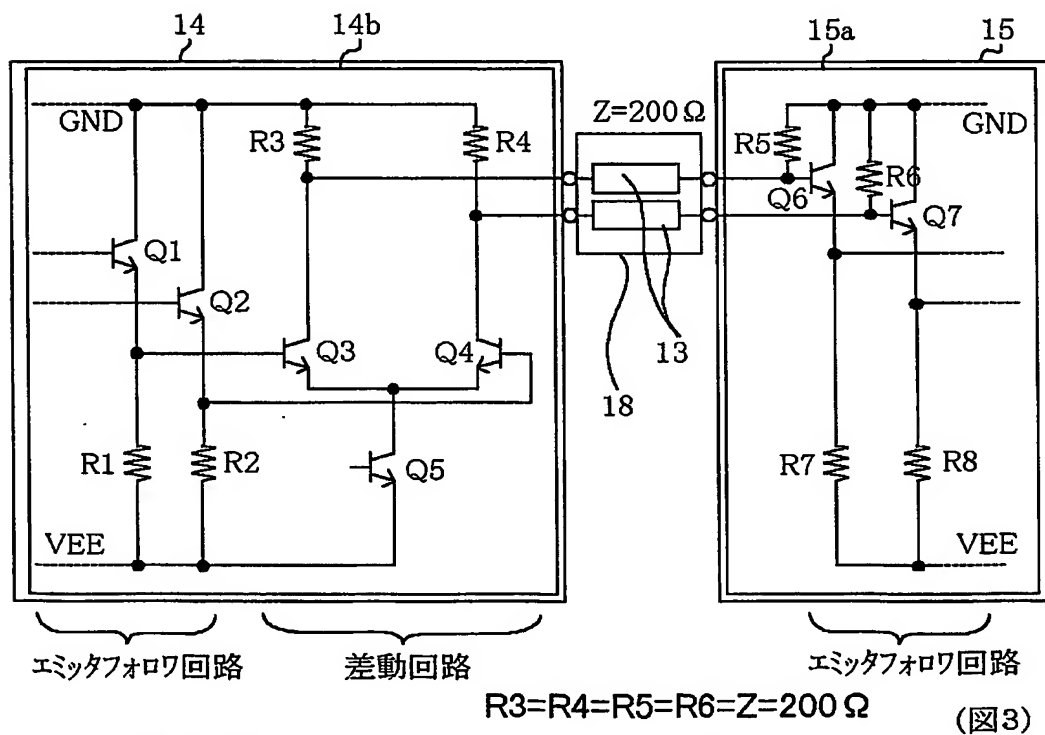
(図1)

【図2】



(図2)

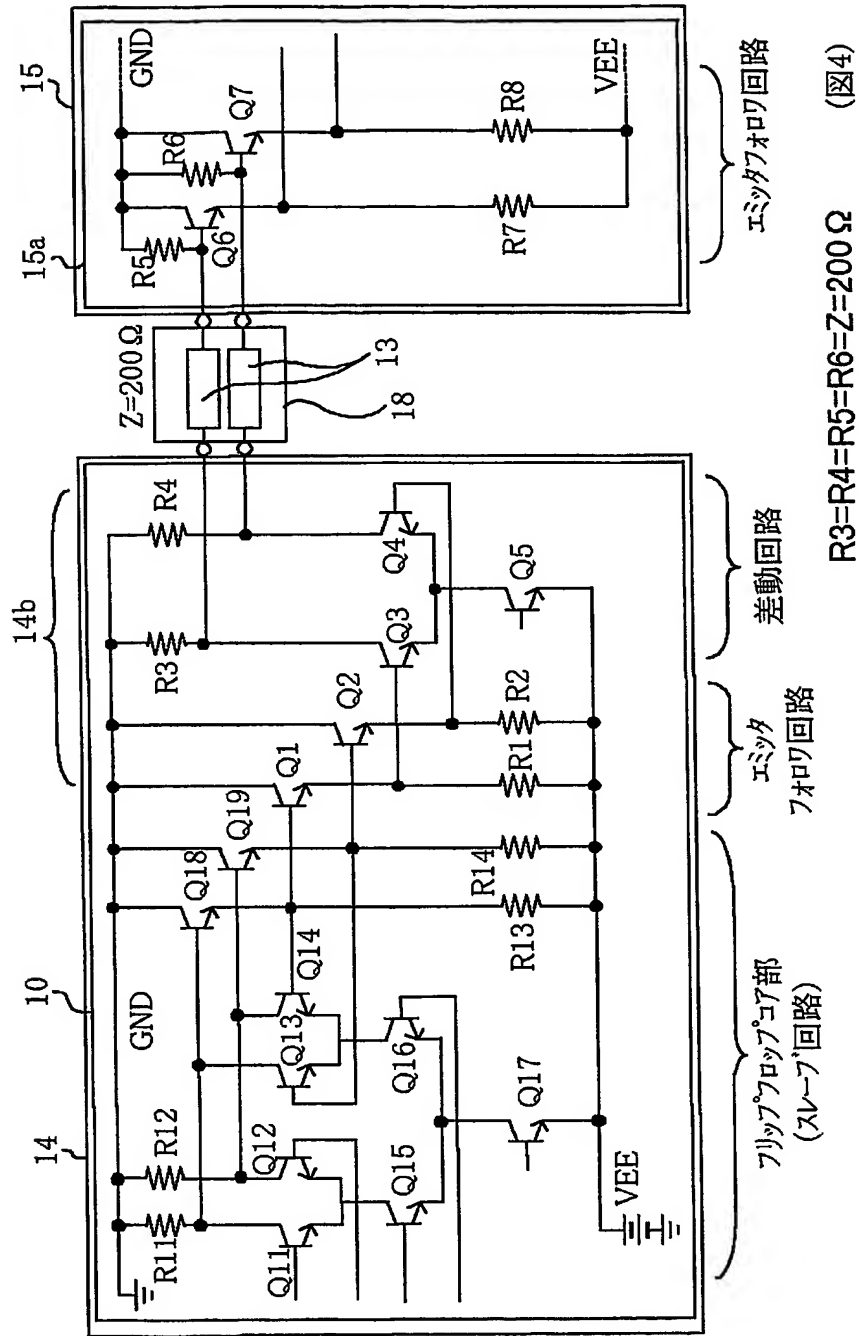
【図3】



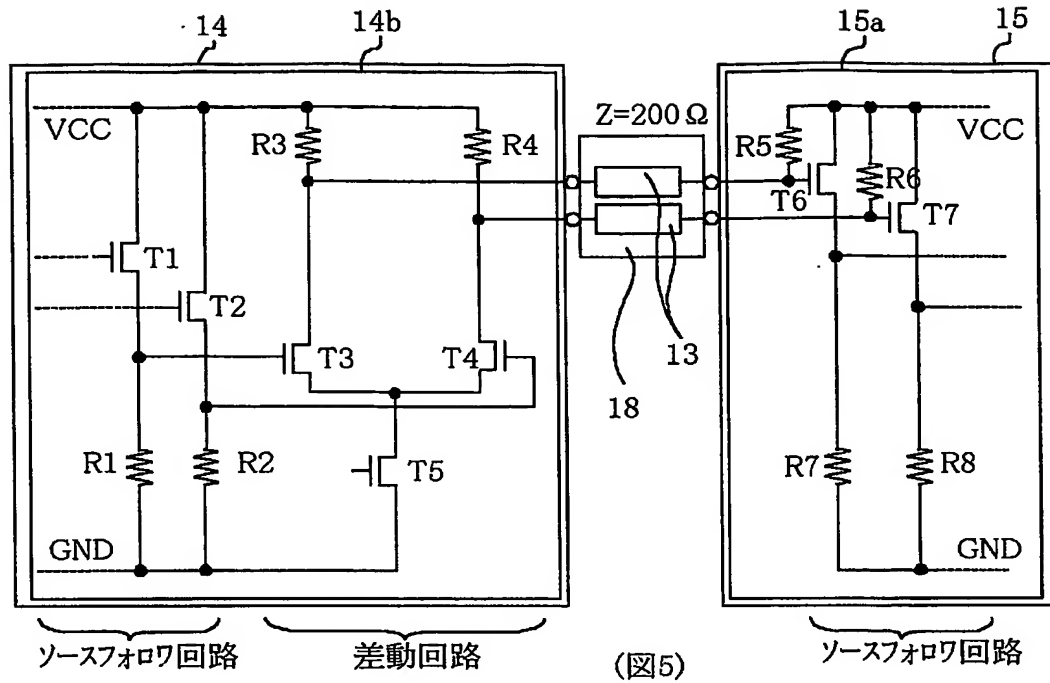
11 半導体装置
12 入出力伝送路
13 内部伝送路
14 入力側ICチップ
14b 入力側ICチップの出力回路

15 中間ICチップ
15a 中間ICチップの入力回路
16 出力側ICチップ
17 コネクタ
18 実装基板

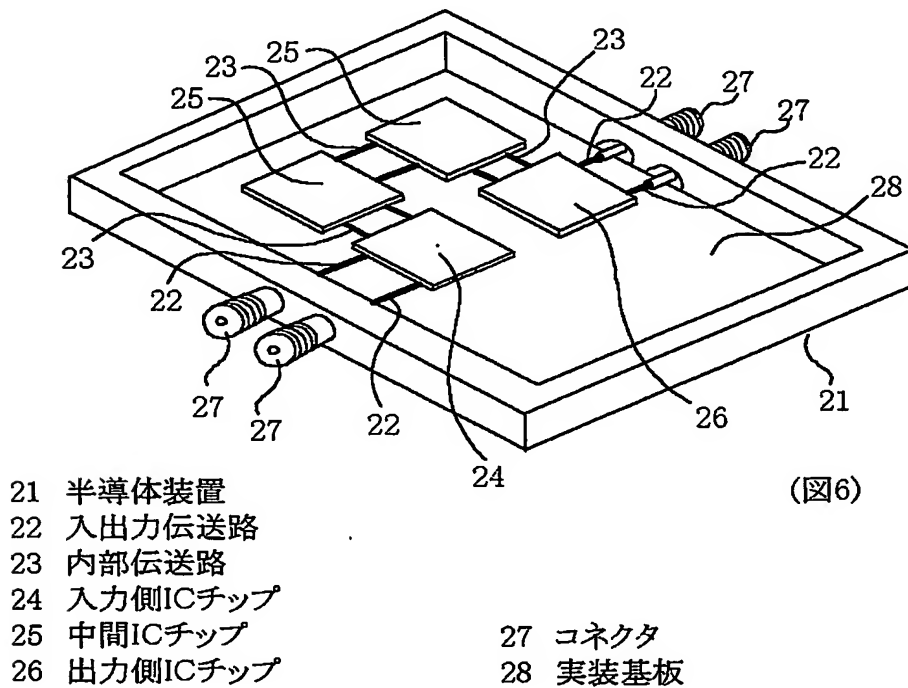
【図 4】



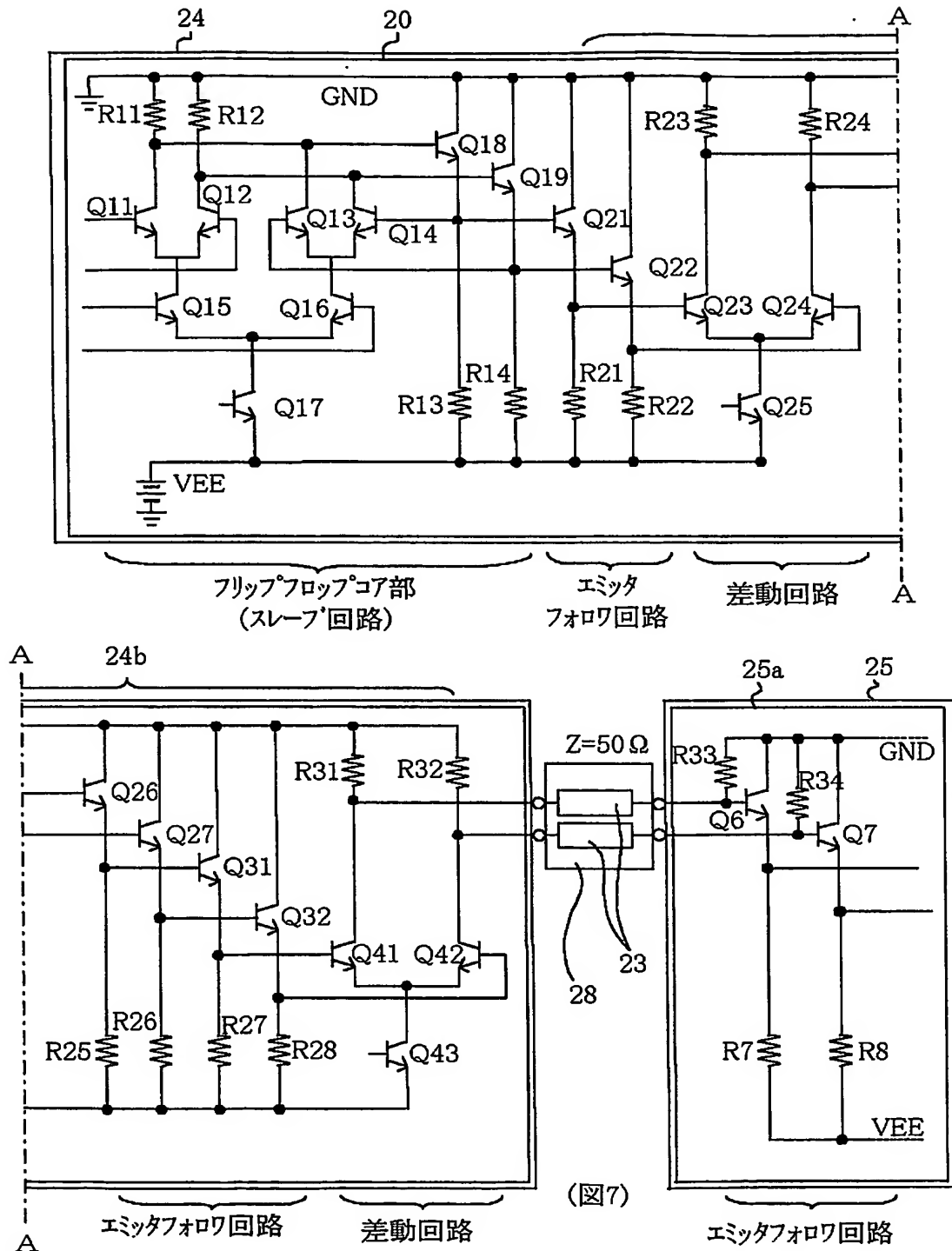
【図 5】



【図 6】



【図 7】



$$R31=R32=R33=R34=Z=50\ \Omega$$

【書類名】 要約書

【要約】

【課題】 消費電流の低減が可能で、かつ高速動作が可能な複数のICチップが実装された半導体装置を提供する。

【解決手段】 外部回路に接続される半導体装置 11 の入出力伝送路 12 の特性インピーダンスは外部インピーダンスと同様に 50Ω とするが、半導体装置の内部に実装される入力側ICチップ 14 の出力回路と中間ICチップ 15 の入出力回路と出力側ICチップ 16 の入力回路のインピーダンス及び実装基板 18 上の内部伝送路 13 の特性インピーダンスを外部インピーダンスより高いインピーダンスで整合させる。入力側ICチップ 14 の入力回路と出力側ICチップ 16 の出力回路のインピーダンスは 50Ω に整合させる。

【選択図】 図 2

特願 2002-296982

出願人履歴情報

識別番号

[000004237]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

東京都港区芝五丁目7番1号

氏 名

日本電気株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.